

Translation

PATENT COOPERATION TREATY

PCT/DE2002/000067



PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference IT423WO	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/DE2002/000067	International filing date (day/month/year) 09 January 2002 (09.01.2002)	Priority date (day/month/year)
International Patent Classification (IPC) or national classification and IPC H01L 25/16, 25/04, H01S 5/022		
Applicant INFINEON TECHNOLOGIES AG		

- This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
- This REPORT consists of a total of 6 sheets, including this cover sheet.

☐ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).
 These annexes consist of a total of _____ sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

Best Available Copy

Date of submission of the demand 07 August 2003 (07.08.2003)	Date of completion of this report 29 June 2004 (29.06.2004)
Name and mailing address of the IPEA/EP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International Application No.

PCT/DE2002/000067

I. Basis of the report

1. With regard to the elements of the international application:*

☐ the international application as originally filed

☒ the description:

pages _____ 1-9 _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____

☒ the claims:

pages _____ 1-13 _____, as originally filed
pages _____, as amended (together with any statement under Article 19
pages _____, filed with the demand
pages _____, filed with the letter of _____

☒ the drawings:

pages _____ 1-7-7/7 _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____

☐ the sequence listing part of the description:

pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item. These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
☐ the language of publication of the international application (under Rule 48.3(b)).
☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
☐ filed together with the international application in computer readable form.
☐ furnished subsequently to this Authority in written form.
☐ furnished subsequently to this Authority in computer readable form.
☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
☐ the claims, Nos. _____
☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International Application No.

PCT/DE 02/00067

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-13	YES
	Claims		NO
Inventive step (IS)	Claims		YES
	Claims	1-13	NO
Industrial applicability (IA)	Claims	1-13	YES
	Claims		NO

2. Citations and explanations

1. Reference is made to the following documents:

D1: US 4 143 385 A (T. MIYOSHI et al.) 6 March 1979

D2: DE 196 19 921 A (NIPPONDENSO) 5 December 1996

2. The subject matter of independent device claim 1 does not satisfy the requirements of PCT Article 33(3) with regard to inventive step.

2.1. D1 (see especially figure 1 and associated text) discloses a photodiode array having a photodiode (18) and a submount (insulating substrate 12), via which submount an electrical connection to the photodiode is established (see on the substrate 12 the interconnections 15 and 16 which are electrically connected to the electrodes 19 and 20 of the photodiode by means of soldering points 21 and 22). As is immediately evident from figure 1, it follows from the array described above that the photodiode (18) and submount (12) each have a metallic coating on their mutually facing sides.

2.2. The subject matter of claim 1 therefore differs from the teaching of D1 only in that the photodiode and

submount are mutually joined by eutectic bonding.

This is, however, a bonding method widely used in semiconductor technology and one on which a person skilled in the art would draw according to the circumstances without being inventive, for example to keep the process temperature as low as possible and so to avoid any damage occurring to or any premature ageing of the array and its components (see also in D1 itself, column 6, lines 1 to 13). The subject matter of claim 1 is therefore obvious.

2.3. By way of precaution it should be observed that, although in D1 the photodiode receives light only through an opening (25) in the submount (12), it would be within the usual skill of a person skilled in the art to use, according to the circumstances, other forms and arrangements of the submount in relation to the photodiode. For example, as in figure 1 of the present application, he would mount the photodiode by only one of its sides on a submount if, under particular circumstances, the submount was to be particularly compact, while the mechanical stability losses arising therefrom by comparison with the D1 array are acceptable. The subject matter of a claim 1 that had been made more precise in this way would therefore still be obvious.

3. The subject matter of independent method claim 8 likewise does not involve an inventive step.

3.1. D2 (see especially figures 3, 10 to 14 and 16 to 19) discloses a method of making a connection between two semiconductor components with different outer

contours (sensor on silicon substrate 1 and silicon cap 22), wherein first a plurality of specimens of each of the components are made in an appropriate wafer construction (figures 4 to 8 on the one hand, figures 10 and 11 on the other), the wafers then being mutually eutectically joined by means of appropriate metal coatings (figure 12 in conjunction with column 12, line 62 to column 13, line 19), and the components thus formed only then being diced (figures 14 and 18).

Trenches are formed in the components of the wafer (33) prior to bonding of the wafers (figures 10 and 11).

When the components are diced, first the upper wafer (33) is cut through in accordance with the outer contour of the first component (see the cutting lines 34 in figure 14 in conjunction with column 11, lines 49 to 52: the second wafer is not touched by the cutting blade). The lower wafer (32) is then cut through (see figure 14, cutting lines 35, in conjunction with column 12, lines 35 to 40; see also figure 32).

- 3.2. The subject matter of claim 8 differs from the teaching in D2 only in that the lower (or rear-side) wafer is cut from its lower (or rearward) side (whereas in D2 both wafers are cut from above, see figure 18).

This is an obvious, albeit more elaborate, alternative (since a second cutting device is required or the wafer has to be turned), which a person skilled in the art would, however, accept

whenever, due to the arrangement of the contours of the upper component relative to the lower component, cutting the lower component through from above would lead to the upper component being destroyed. The subject matter of claim 8 is therefore likewise obvious.

4. Dependent claims 2 to 7 and 9 to 13 do not contain any features which in combination with the features of any claim to which they refer back satisfy the PCT inventive step requirements.

4.1. The additional features of claims 2 and 10 are routine practice in the art (see, for example, D2, column 9, lines 34 to 40). The additional features of claims 3, 7 and 12 relate to materials widely used in semiconductor technology, and those of claims 4, 5 and 6 are known from D1 (see figure 1).

4.2. The feature added by claim 9 is an obvious alternative; the feature added by claim 11 is a conventional method step (e.g. encapsulation of the component); and the feature added by claim 13 is known from D2 (figure 18 and column 11, lines 50 to 51: blade of a wafer saw).

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)

REC'D 05 JUL 2004

WIPAC PCT

Aktenzeichen des Anmelders oder Anwalts IT423WO	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/PEA/416)	
Internationales Aktenzeichen PCT/DE 02/00067	Internationales Anmeldedatum (Tag/Monat/Jahr) 09.01.2002	Prioritätsdatum (Tag/Monat/Jahr) 09.01.2002
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H01L25/16		
Anmelder INFINEON TECHNOLOGIES AG et al.		

1. Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.



2. Dieser BERICHT umfaßt insgesamt 6 Blätter einschließlich dieses Deckblatts.

☐ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

Diese Anlagen umfassen insgesamt Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Bescheids
- II ☐ Priorität
- III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Regel 66.2 a)ii) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☐ Bestimmte Mängel der internationalen Anmeldung
- VIII ☐ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 07.08.2003	Datum der Fertigstellung dieses Berichts 29.06.2004
Name und Postanschrift der mit der internationalen Prüfung beauftragten Behörde  Europäisches Patentamt - Glitschiner Str. 103 D-10958 Berlin Tel. +49 30 25901 - 0 Fax: +49 30 25901 - 840	Bevollmächtigter Bediensteter Munnix, S Tel. +49 30 25901-626 

I. Grundlage des Berichts

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):

Beschreibung, Seiten

1-9 in der ursprünglich eingereichten Fassung

Ansprüche, Nr.

1-13 in der ursprünglich eingereichten Fassung

Zeichnungen, Blätter

1/7-7/7 in der ursprünglich eingereichten Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um:

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
- ☐ Ansprüche, Nr.:
- ☐ Zeichnungen, Blatt:

**INTERNATIONALER VORLÄUFIGER
PRÜFUNGSBERICHT**

Internationales Aktenzeichen **PCT/DE 02/00067**

5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen.)

6. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

- | | |
|--------------------------------|----------------------|
| 1. Feststellung | |
| Neuheit (N) | Ja: Ansprüche 1-13 |
| | Nein: Ansprüche |
| Erfinderische Tätigkeit (IS) | Ja: Ansprüche |
| | Nein: Ansprüche 1-13 |
| Gewerbliche Anwendbarkeit (IA) | Ja: Ansprüche: 1-13 |
| | Nein: Ansprüche: |

2. Unterlagen und Erklärungen:

siehe Beiblatt

Zu Punkt V

Begründete Feststellung hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Es wird auf folgende(s) Dokument(e) verwiesen:

D1: US 4 143 385 A (T. MIYOSHI et al.) 6. März 1979

D2: DE 196 19 921 A (NIPPONDENSO) 5. Dezember 1996

2. Der Gegenstand des unabhängigen Geräteanspruchs 1 erfüllt nicht die Erfordernisse des Artikels 33(3) PCT hinsichtlich der erfinderischen Tätigkeit.

2.1. Dokument D1 (siehe insbesondere Figur 1 und dazugehörigen Text) offenbart eine Photodiodenanordnung mit einer Photodiode (18) und einem Submount (isolierendes Substrat 12), über den eine elektrische Kontaktierung der Photodiode erfolgt (siehe die Leiterbahnen 15 und 16 auf dem Substrat 12, die über Lötstellen 21 und 22 mit den Elektroden 19 und 20 der Photodiode elektrisch verbunden sind). Wie aus der Figur 1 ohne weiteres ersichtlich, erfolgt aus der soeben beschriebenen Anordnung, daß die Photodiode (18) und der Submount (12) auf ihren einander zugewandten Seiten jeweils Metallisierungen aufweisen.

- 2.2. Der Gegenstand des Anspruchs 1 unterscheidet sich somit von der Lehre aus D1 lediglich dadurch, daß die Photodiode und das Submount durch eutektisches Bonden miteinander verbunden sind.

Dabei handelt es sich jedoch um eine in der Halbleitertechnik weit verbreitete Bondmethode, auf die der Fachmann je nach Umständen ohne erfinderisches Zutun zurückgreifen würde, beispielsweise um die Verfahrenstemperatur möglichst niedrig zu halten und somit eine Beschädigung oder ein vorzeitiges Altern der Anordnung und ihrer Komponenten zu vermeiden (siehe auch in D1 selbst, Spalte 6, Zeilen 1 bis 13). Der Gegenstand des Anspruchs 1 ist folglich naheliegend.

- 2.3. Vorsorglich wird darauf hingewiesen daß zwar in D1 die Photodiode lediglich durch eine *Öffnung* (25) im Submount (12) Licht empfängt, daß es jedoch im Rahmen der üblichen Fertigkeiten des Fachmanns liegen würde, je nach

Umständen andere Formen und Anordnungen des Submounts im Verhältnis zur Photodiode zu verwenden. Beispielsweise würde er die Photodiode wie in Figur 1 der vorliegenden Anmeldung nur an einer ihrer Seiten auf ein Submount anbringen, wenn unter besonderen Umständen das Submount besonders platzsparend sein soll, während die sich dadurch im Vergleich zur Anordnung aus D1 ergebenden Einbußen an mechanischer Stabilität hinnehmbar sind. Der Gegenstand eines dahingehend präzisierten Anspruchs 1 wäre deshalb immer noch naheliegend.

3. Der Gegenstand des unabhängigen Verfahrensanspruchs 8 beruht ebenfalls nicht auf einer erfinderischen Tätigkeit.

3.1. Dokument D2 (siehe insbesondere die Figuren 3, 10 bis 14 und 16 bis 19) offenbart ein Verfahren zum Herstellen einer Verbindung zwischen zwei Halbleiterbauelementen mit verschiedenen Außenkonturen (Sensor auf Siliziumsubstrat 1 einerseits, und Siliziumkappe 22 andererseits), bei dem vorerst jedes der Bauelemente jeweils in vielfacher Ausführung in einem entsprechenden Waferverbund hergestellt wird (Figuren 4 bis 8 einerseits, Figuren 10 und 11 andererseits), anschließend die Wafer über entsprechende Metallisierungen eutektisch miteinander Verbunden werden (Figur 12 in Verbindung mit Spalte 12, Zeile 62 bis Spalte 13, Zeile 19), und dann erst die so entstandenen Bauelemente vereinzelt werden (Figuren 14 und 18).

In den Bauelementen des Wafers (33) werden vor dem Bonden der Wafer Gräben ausgebildet (Figuren 10 und 11).

Beim vereinzeln der Bauelemente wird zuerst der obere Wafer (33) entsprechend dem Außenkontur des ersten Bauelements durchtrennt (siehe die Schneidelinien 34 in Figur 14, in Verbindung mit Spalte 11, Zeilen 49 bis 52: der zweite Wafer wird durch das Schneideblatt nicht berührt), und anschließend wird der untere Wafer (32) durchtrennt (siehe Figur 14, Schneidelinien 35, in Verbindung mit Spalte 12, Zeilen 35 bis 40; siehe auch Figur 32).

3.2. Der Gegenstand des Anspruchs 8 unterscheidet sich von der Lehre aus D2 lediglich dadurch, daß der untere (bzw. rückseitige) Wafer von seiner unteren (bzw. rückwärtigen) Seite durchtrennt wird (während in D2 beide Wafer von oben her durchtrennt werden, siehe Figur 18).

Dabei handelt es sich um eine naheliegende, wenn auch aufwendigere Alternative (da eine zweite Schneidevorrichtung, bzw. das Wenden des Wafers erforderlich ist), die der Fachmann jedoch jedesmal dann in Kauf nehmen würde, wenn wegen der relativen Anordnung der Konturen des oberen zum unteren Bauelement das Durchtrennen des unteren Bauelements von oben her zur Zerstörung des oberen Bauelements führen würde. Der Gegenstand des Anspruchs 8 ist deshalb ebenfalls naheliegend.

4. Die abhängigen Ansprüche 2 bis 7 und 9 bis 13 enthalten keine Merkmale, die in Kombination mit den Merkmalen irgendeines Anspruchs, auf den sie sich beziehen, die Erfordernisse des PCT in Bezug auf erfinderische Tätigkeit erfüllen.
- 4.1. Die zusätzlichen Merkmale der Ansprüche 2 und 10 sind fachüblich (siehe z.B. D2, Spalte 9, Zeilen 34 bis 40). diejenigen der Ansprüche 3, 7 und 12 betreffen weit verbreitete Materialien der Halbleitertechnik. Diejenigen der Ansprüche 4, 5 und 6 sind aus D1 bekannt (siehe Figur 1).
- 4.2. Das durch den Anspruch 9 hinzugefügte Merkmal ist eine naheliegende Alternative, das durch den Anspruch 11 hinzugefügte Merkmal ist ein üblicher Verfahrensschritt (z.B. Verkapseln des Bauelements), und das durch den Anspruch 13 hinzugefügte Merkmal ist aus D2 bekannt (Figur 18 und Spalte 11, Zeilen 50 bis 51: Blatt einer Waferschneidesäge).

501,209

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
17. Juli 2003 (17.07.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/058720 A1

(51) Internationale Patentklassifikation⁷: **H01L 25/16**,
25/04, H01S 5/022

(21) Internationales Aktenzeichen: **PCT/DE02/00067**

(22) Internationales Anmeldedatum:
9. Januar 2002 (09.01.2002)

(25) Einreichungssprache: **Deutsch**

(26) Veröffentlichungssprache: **Deutsch**

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Strasse 53, 81669 München (DE). **OSRAM OPTO
SEMICONDUCTORS GMBH & CO. OHG** [DE/DE];
Wernerwerkstrasse 2, 93049 Regensburg (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **SINGER, Frank**
[DE/DE]; Hochweg 51, 93049 Regensburg (DE). **FÜRST,
Robert** [DE/DE]; Platschkyberg 4, 85356 Freising (DE).
RING, Melanie [DE/DE]; Veit-Stoss-Strasse 11, 80687
München (DE). **KÄMPF, Mathias** [DE/DE]; Irlbründl-
strasse 6, 93142 Maxhütte (DE).

(74) Anwalt: **MÜLLER, Wolfram, H.**; Maikowski & Ninne-
mann, Postfach 15 09 20, 10671 Berlin (DE).

(81) Bestimmungsstaat (national): **US.**

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE, TR).

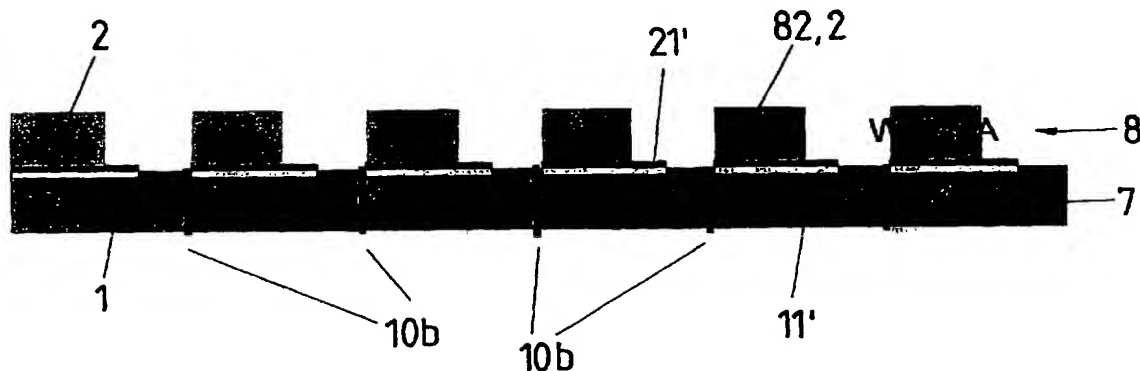
Veröffentlicht:

— mit internationalem Recherchenbericht

[Fortsetzung auf der nächsten Seite]

(54) Title: **PHOTODIODE ARRAY AND METHOD FOR ESTABLISHING A LINK BETWEEN A FIRST SEMICONDUCTOR
ELEMENT AND A SECOND SEMICONDUCTOR ELEMENT**

(54) Bezeichnung: **PHOTODIODENANORDNUNG UND VERFAHREN ZUR HERSTELLUNG EINER VERBINDUNG ZWI-
SCHEN EINEM ERSTEN HALBLEITERBAUELEMENT UND EINEM ZWEITEN HALBLEITERBAUELEMENT**



WO 03/058720 A1

(57) Abstract: The invention relates to a photodiode array comprising a photodiode and a submount, via which the photodiode is contacted, said photodiode (1) and said submount (2) being interlinked by eutectic bonding. The invention further relates to a method for establishing a link between a first semiconductor element and a second semiconductor element which have different outer contours, the two elements being interlinked by eutectic bonding when already being present as a wafer composite. The two interlinked wafers are subdivided one by one and independently of each other in accordance with the desired outer contour.

(57) Zusammenfassung: Die Erfindung betrifft eine Photodiodenanordnung mit einer Photodiode und einem Submount, über den eine elektrische Kontaktierung der Photodiode erfolgt, wobei die Photodiode (1) und der Submount (2) über eutektisches Bonden miteinander verbunden sind. Des weiteren betrifft die Erfindung ein Verfahren zur Herstellung einer Verbindung zwischen einem ersten Halbleiterbauelement und einem zweiten Halbleiterbauelement, die eine unterschiedliche Aussenkontur aufweisen. Dabei erfolgt eine Verbindung bereits im Waferversbund mittels eutektischen Bondens. Die beiden miteinander verbundenen Wafer werden nacheinander und unabhängig voneinander entsprechend einer jeweils gewünschten Aussenkontur vereinzelt.



Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Bezeichnung der Erfindung: Photodiodenanordnung und Verfahren zur Herstellung einer Verbindung zwischen einem ersten Halbleiterbauelement und einem zweiten Halbleiterbauelement.

Die Erfindung betrifft eine Photodiodenanordnung mit einer Photodiode und einem Submount, über den eine elektrische Kontaktierung der Photodiode erfolgt, und ein Verfahren zur Herstellung einer Verbindung zwischen einem ersten Halbleiterbauelement und einem zweiten Halbleiterbauelement, insbesondere zwischen einer Photodiode und einem Submount für eine Photodiode, wobei die miteinander verbundenen Halbleiterbauelemente eine unterschiedliche Außenkontur aufweisen.

Aus der DE 197 09 842 C1 ist eine elektrooptische Koppelbaugruppe mit einer Laserdiodenanordnung bekannt, bei der eine Mehrzahl von vertikal emittierenden VCSEL-Laserdioden in einem Array angeordnet sind. Den Laserdioden sind in einer Ebene angeordnete Lichtwellenleiter zugeordnet, deren kopplungsseitige Stirnflächen eine Strahlumlenkung des von den Laserdioden ausgestrahlten Lichts in die Lichtwellenleiter bewirken.

Es ist bekannt, bei derartigen Laserdiodenanordnungen eine oder mehrere Monitordioden vorzusehen, über die eine Überwachung und Steuerung der Laserdiodenanordnung erfolgt.

Einen entsprechenden, im Stand der Technik bekannten Aufbau zeigt schematisch die Figur 7. Danach ist auf einem Submount 100 ein Laserdiodenarray 101 angeordnet, das im dargestellten Ausführungsbeispiel aus sechzehn VCSEL-Dioden 102 besteht. Zwölf dieser Laserdioden 102 dienen der Datenkommunikationen und ihnen ist dementsprechend jeweils ein schematisch dargestellter Lichtwellenleiter 103 zugeordnet. Den beiden am Rand des Arrays 101 befindlichen Laserdioden 104, 105 ist

jeweils eine aus Gallium-Arsenid bestehende Monitordiode 111, 112 zugeordnet, deren optisch aktive Fläche direkt oberhalb der jeweils äußersten Laserdiode 104, 105 positioniert und diesen zugewandt ist.

5

Alternativ wäre es auch möglich, die optisch aktive Fläche der Photodiode an der den Laserdioden 104, 105 abgewandten Seite, also oben anzubringen. Es wäre dann aber eine Umlenkoptik erforderlich, um den Laserstrahl auf die optisch aktive Fläche der Monitordiode zu lenken.

10

Die Monitordiode 111, 112 ist jeweils in einem Träger 113, 114 ausgebildet, der an einem als Abstandselement bzw. Spacer dienenden Submount 115, 116 befestigt ist. Bei dem Submount

15

Die Kontaktierung der Monitordioden 111, 112 und auch der Laserdioden 102, 104, 105 erfolgt über Bond-Drähte 117, die über Metallisierungen 118 und weitere Bonddrähte 119 mit Kontakten eines schematisch dargestellten Steuer- und Treiberschaltkreises 120 verbunden sind.

20

Submount 115, 116 und Monitordiode 111, 112 sind in einem rechten Winkel zueinander positioniert, so dass zum einen die Monitordiode mit ihrer optisch aktiven Fläche über den Spacer hinausragt und zum anderen auf dem Spacer Platz für Kontaktpads zum Anschluß der Bonddrähte 119 ist.

25

Die beiden Monitordioden 111, 112 werden üblicherweise derart eingesetzt, daß mit Hilfe einer Monitordiode 111 die optische Ausgangsleistung der Laserdioden 102 geregelt wird, während die andere Laserdiode 112 eine Sicherheitsabschaltung für den Fall bewirkt, daß die Laserleistung über einen vorgegebenen Grenzwert hinausgeht. Derartige Regelungen sind an sich bekannt.

35

Zur elektrischen und mechanischen Verbindung von Submount 115, 116 und Monitordiode 111, 112 ist es bekannt, die beiden Chips durch Flip-Chip Montage zu verbinden. Die Flip-Chip Montage justiert die beiden vereinzelter Bauteile durch
5 Wenden des einen Chips und anschließendem Positionieren auf dem anderen, in einem Werkstückträger liegenden Chip. Nachteilig muss bei diesem Verfahren das eine Bauteil nach dem Vereinzeln in einem Werkstückträger positioniert werden. Das Verfahren ist zeitaufwendig und die geringe Größe der
10 vereinzelter Chips (etwa 2mm x 2mm) schwer zu handhaben. Auch ist das Verfahren kostenintensiv, das es sich um einen Einzelchippprozess, d.h. um aufwendige und teure Einzelanfertigungen handelt.

15 Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, eine Photodiodenanordnung und ein Verfahren zur Herstellung einer Verbindung zwischen einem ersten Halbleiterbauelement und einem zweiten Halbleiterbauelement zur Verfügung zu stellen, die eine Verbindung der Halbleiterbauelemente unter
20 Verwendung von Standardprozessen und dabei in kostengünstiger und effektiver Weise ermöglichen.

Diese Aufgabe wird erfindungsgemäß durch eine Photodiodenanordnung mit den Merkmalen des Anspruchs 1 und
25 ein Verfahren mit den Merkmalen des Anspruchs 8 gelöst. Bevorzugte und vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.

Danach zeichnet sich die erfindungsgemäße Lösung in einem
30 ersten Aspekt durch eine Photodiodenanordnung aus, bei der eine Photodiode und ein Submount zur Kontaktierung der Photodiode durch eutektisches Bonden miteinander verbunden sind. Dabei weisen beide Elemente auf der einander zugewandten Seite jeweils eine entsprechende Metallisierung
35 auf. Unter einem Submount wird ein Trägerelement für die Photodiode verstanden.

In einem zweiten Aspekt stellt die Erfindung ein Verfahren zur Herstellung einer Verbindung zwischen einem ersten Halbleiterbauelement und einem zweiten Halbleiterbauelement zur Verfügung, die eine unterschiedliche Außenkontur aufweisen. Insbesondere dient das Verfahren der Verbindung einer Photodiode mit einem Submount zur Herstellung einer Photodiodenanordnung gemäß Anspruch 1.

Das Verfahren weist die folgenden Schritte auf:

- 10 a) Herstellen einer Vielzahl erster Halbleiterbauelemente auf einem ersten Wafer,
- b) Herstellen einer Vielzahl zweiter Halbleiterbauelemente auf einem zweiten Wafer, dabei
- c) Anbringen einer Metallisierung auf den ersten
- 15 Halbleiterbauelementen des ersten Wafers,
- d) Anbringen einer Metallisierung auf den zweiten Halbleiterbauelementen des zweiten Wafers,
- e) Ausbildung von Gräben in den ersten und/oder den zweiten Halbleiterbauelementen, danach
- 20 f) Verbinden der beiden Wafer durch eutektisches Bonden der jeweiligen Metallisierungen, wobei der entstandene Waferverbund eine Vorder- und eine Rückseite aufweist, danach
- g) Vereinzelnen der Vorderseite des Waferverbunds entsprechend einer ersten Außenkontur der zu vereinzelnden
- 25 ersten Halbleiterbauelemente, wobei nur der erste Wafer durchtrennt wird, und anschließend
- h) Vereinzelnen der Rückseite des Waferverbunds entsprechend einer zweiten Außenkontur der zu vereinzelnden zweiten Halbleiterbauelemente, wobei nur der zweite Wafer
- 30 durchtrennt wird.

Erfindungsgemäß werden die zu verbindenden Halbleiterbauelemente somit bereits im Waferverbund miteinander verbunden. Dies erfolgt durch eutektisches Bonden der auf den jeweiligen Halbleiterbauelementen ausgebildeten

35 Metallisierungen. Beispielsweise befindet sich auf dem einen Wafer eine Gold-Metallisierung und auf dem anderen Wafer eine

Gold-Zinn-Metallisierung. Durch die Gräben, die vor dem Bondvorgang in die jeweilige Oberfläche geätzt werden, wird sichergestellt, dass sich die Photodiode und der Submount nur an definierten Stellen miteinander verbinden. Es wird also
5 durch die Ausbildung von Gräben eine topographische Bearbeitung der Wafer an den Stellen bereitgestellt, an denen keine Verbindung der Wafer benötigt wird.

10 Zur Herstellung unterschiedlicher Außenkonturen der zu vereinzeln den Halbleiterbauelemente auf den beiden Seiten des Waferverbundes wird zunächst die Vorderseite und dann - bevorzugt nach einem Wenden den Waferverbundes - die Rückseite vereinzelt. Das Vereinzeln erfolgt bevorzugt durch
15 Sägen der jeweiligen Seite. Es wird also nicht der komplette Waferverbund getrennt, sondern nur die jeweils oben zum Liegen kommende Komponente. Es können dadurch Endkomponenten im Waferprozess hergestellt werden, die unterschiedliche Konturen aufweisen, insbesondere winklig zueinander angeordnet sind.

20 Nach Vereinzeln werden die Endkomponenten aus dem Waferverbund gelöst und zur weiteren Verarbeitung einer automatisierten Vorrichtung zugeführt, bei der sich beispielsweise um ein sogenanntes „Blue-Tape“, einen
25 Werkstückträger handelt.

Das erfindungsgemäße Verfahren ist äußerst effektiv und zeitsparend, da bis zu mehrere tausend Halbleiterbauelemente gleichzeitig aufeinander montiert werden können. Dabei werden
30 mit Vorteil erprobte Verfahren auf neue Weise miteinander kombiniert und kann auf vorhandene Logistikketten zurückgegriffen werden. Das Verfahren ist auf alle Halbleiterbauelemente anwendbar, die mit Flip-Chip Montage jeweils einzeln miteinander verbunden werden. Dabei muss es
35 lediglich möglich sein, bereits im Waferverband die für ein eutektisches Bonden erforderlichen Metallisierungen auf die jeweiligen Halbleiterbauelemente aufzubringen.

Durch Verwendung eutektischer Stoffgemische (z.B. Gold-Zinn mit Gold) wird der Schmelzpunkt für das Bonden der Metallisierungen herabgesetzt, so dass auf den Wafern ausgebildete Strukturen der Halbleiterbauelementen, beispielsweise optisch aktive Bereiche einer Photodiode, beim Bonden der Wafer nicht zerstört bzw. beschädigt werden.

Bevorzugt befinden sich auf den Wafern Justagemarken, die eine genaue Positionierung der jeweiligen Wafer aufeinander sicherstellen.

Bei den jeweiligen Halbleiterbauelementen, d.h. insbesondere jeweils einer Photodiode und einem Submount, handelt sich bevorzugt um Siliziumchips. Es handelt sich bei Silizium um ein relativ kostengünstiges Material und kann auf bereits erprobte Bearbeitungsverfahren zurückgegriffen werden.

Die Erfindung wird nachfolgend unter Bezugnahme auf die Figuren der Zeichnung anhand mehrerer Ausführungsformen näher erläutert. Es zeigen:

Figur 1 eine seitliche Ansicht einer Photodiodenanordnung mit einer Photodiode und einem Submount zum Tragen und Kontaktieren der Photodiode;

Figur 2 zwei mittels eutektischen Bondens zu verbindende Wafer vor dem Verbinden;

Figur 3 die beiden durch eutektisches Bonden verbundenen Wafer;

Figur 4 einen ersten Vereinzelungsprozess an der einen Seite der miteinander verbundenen Wafer;

Figur 5 einen zweiten Vereinzelnungsprozess an der anderen Seite der miteinander verbundenen Wafer;

5 Figur 6 in Draufsicht eine aus dem Vereinzelnungsprozess hervorgegangene Photodiodenanordnung und

10 Figur 7 eine aus dem Stand der Technik bekannte Photodiodenanordnung.

Zur Erläuterung des Hintergrundes der Erfindung war eingangs eine im Stand der Technik bekannte Photodiodenanordnung anhand der Figur 7 beschrieben worden.

15

Die Figur 1 zeigt eine Photodiodenanordnung, bei der eine Monitordiode 1 auf einem Spacer 2 angeordnet ist. Sowohl der Spacer 2 als auch ein Array 3 vertikal emittierender Halbleiterlaser (VCSEL) sind derart auf einem gemeinsamen

20 Träger 4 positioniert, dass von einem seitlichen Halbleiterlaser des Arrays ausgestrahltes Licht von der Monitordiode 1 direkt detektiert wird, die mit ihrer nach unten ausgerichteten optisch aktiven Schicht 14 über den Spacer 2 ragt.

25

Bei der Monitordiode 1 handelt es sich bevorzugt um eine Silizium-Photodiode. Ebenso ist der Submount 2 bevorzugt ein Silizium-Chip. Die beiden Komponenten 1, 2 weisen jeweils Metallisierungen auf. Die Metallisierungen des Spacers 2 sind

30 dabei jeweils über einen Kontaktpad 21 mit einem Bonddraht verbindbar. Die Verbindung der beiden Komponenten 1, 2 erfolgt über ein eutektisches Bonden noch im Waferverbund, wodurch die Monitordiode 1 und der Submount 2 in einem Bereich 6 elektrisch und auch mechanisch miteinander

35 verbunden werden. Dies wird nachfolgend anhand der Figuren 2 bis 5 näher erläutert.

Gemäß Figur 2 werden auf der Vorderseite eines ersten Wafers 7 und der Vorderseite eines zweiten Wafer 8 in an sich bekannter Weise jeweils eine Vielzahl von Halbleiterbauelementen 1', 2' strukturiert. Insbesondere handelt es sich bei den Halbleiterbauelementen 1' des ersten Wafers 7 um Photodioden mit optisch aktiven Flächen und bei den Halbleiterbauelementen 2' des zweiten Wafers 8 um Submounts, wie sie bei der Anordnung der Fig. 1 verwendet werden.

Die beiden Wafer 7, 8 werden mit Ihren Oberflächen aufeinandergelegt und unmittelbar mittels eutektischen Bondens miteinander verbunden. Gemäß Figur 3 weisen die beiden Wafer 7, 8 dabei jeweils eine Metallisierung 12', 21' auf. Bei der einen Metallisierung handelt es sich bevorzugt um eine Gold-Metallisierung 12', bei der anderen Metallisierung bevorzugt um eine Gold-Zinn-Metallisierung 21'. Des weiteren sind in der Oberfläche mindestens eines Wafers Gräben bzw. Aussparungen 9 vorgesehen. Die Aussparungen 9 sorgen dafür, das eine Verbindung zwischen den beiden Wafern nur in definierten Bereichen erfolgt. Auch sind auf den Wafern 7, 8 Justagehilfen (sogenannte Fiducials) angebracht (nicht dargestellt). Das eutektische Bonden der beiden Wafer erfolgt in an sich bekannter Weise.

Nach dem Verbinden der beiden Wafer 7, 8 ist es erforderlich, eine Vereinzelung der gewünschten Komponenten vorzunehmen. Dabei wird gemäß Figur 4 zunächst lediglich der eine Wafer 8 des Waferverbunds 7, 8 vereinzelt. Dies erfolgt durch Sägen der einen Seite des Waferverbundes 7, 8 entlang den Linien 10-a. Der eine Wafer 8 wird dabei entlang Linien 10-a vereinzelt, die den zu vereinzelnenden Halbleiterbauelementen 1' eine erste gewünschte Außenkontur geben. Die im Bereich der Aussparungen 9 befindlichen Restbereiche 81, die nun keine Verbindung mit der Waferverbund 7, 8 mehr haben, werden entfernt, wobei die mit dem anderen Wafer 7 eutektisch

gebondeten Bereiche 82 übrig bleiben, die die gewünschten Halbleiterbauelemente 2 darstellen.

5 Nach Vereinzelnen des einen Wafers 8 des Waferverbundes 7, 8 wird die andere Seite bzw. der andere Wafer 7 des Waferverbundes 7, 9 vereinzelt, wozu dieser bevorzugt, aber nicht notwendigerweise gewendet wird (damit nur an einer Seite ein Sägewerkzeug angeordnet werden muss). Gemäß Figur 5 wird der Wafer 7 durch Sägen entlang den Linien 10-b
10 vereinzelt. Dabei wird den zu vereinzeln den Halbleiterbauelementen eine zweite gewünschte Außenkontur geben, die von der Außenkontur der ersten Halbleiterbauelemente 2 abweicht. Nach Vereinzelnen auch des zweiten Wafers 7 verbleiben als Endkomponenten bereits
15 verbundene Einheiten aus den beiden Halbleiterbauelementen 1, 2, bei den es sich beispielsweise um eine Monitordiode 1 und einen Submount 2 entsprechend Fig. 1 handelt.

20 Statt eines Vereinzelns durch Sägen können die Wafer 7, 8 auch durch andere Trenntechniken vereinzelt werden.

Figur 6 zeigt die Metallisierungen der beiden Halbleiterbauelemente für das Beispiel einer Monitordiode 1 und eines Submounts 2. Die Monitordiode 1 weist einen optisch
25 aktiven Bereich 14 auf, die über Metallisierungen 12, 13 elektrisch kontaktiert wird. Die Metallisierungen 12, 13 gehen jeweils in flächige Metallisierungsbereiche 12a, 13a über. Der Submount 2 weist zwei Kontaktpads 21 zur Kontaktierung der Monitordiode 1 auf, die jeweils mit
30 Metallisierungen 22, 23 verbunden sind. Die Metallisierungen 22, 23 entsprechen in ihrer Geometrie in einem Überschneidungsbereich, in dem die Monitordiode 1 und der Submount 2 eutektisch miteinander gebondet sind, den Metallisierungen 12, 13 der Monitordiode und bilden flächige
35 Metallisierungsbereiche 22a, 23a aus, so dass die jeweiligen Metallisierungen 22a, 12a; 23a, 13a aufeinanderliegen.

Patentansprüche

1. Photodiodenanordnung mit einer Photodiode und einem Submount, über den eine elektrische Kontaktierung der Photodiode erfolgt, wobei
 - die Photodiode (1) auf der dem Submount (2) zugewandten Seite eine Metallisierung (12, 13) aufweist,
 - der Submount (2) auf der der Photodiode (1) zugewandten Seite eine Metallisierung (22, 23) aufweist,
 - die Photodiode (1) und der Submount (2) über eutektisches Bonden miteinander verbunden sind.
2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß sich auf der Photodiode und/oder dem Submount Justagemarken befinden.
3. Anordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Photodiode (1) und/oder der Submount (2) durch einen Siliziumchip gebildet sind.
4. Anordnung nach mindestens einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Photodiode (1) und der Submount (2) eine unterschiedliche Außenkontur und demgemäß gegeneinander überstehende Bereiche aufweisen.
5. Anordnung nach Anspruch 4, dadurch gekennzeichnet, daß sich auf dem gegenüber der Photodiode (1) überstehenden Bereich des Submounts (2) Kontaktpads (21) befinden, die mit den Metallisierungen (22, 23) des Submounts (2) verbunden sind.
6. Anordnung nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß sich auf dem gegenüber dem

Submount (2) überstehenden Bereich der Photodiode (2) die optisch aktive Fläche (14) der Photodiode befindet.

7. Anordnung nach mindestens einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die Metallisierung (12, 13) der Photodiode eine Gold-Metallisierung und die Metallisierung (22, 23) des Submounts eine Gold-Zinn-Metallisierung ist oder umgekehrt.
8. Verfahren zur Herstellung einer Verbindung zwischen einem ersten Halbleiterbauelement und einem zweiten Halbleiterbauelement, insbesondere zwischen einer Photodiode und einem Submount für eine Photodiode gemäß der Photodiodenanordnung des Anspruchs 1, wobei die miteinander verbundenen Halbleiterbauelemente eine unterschiedliche Außenkontur aufweisen, gekennzeichnet durch die Schritte
- a) Herstellen einer Vielzahl erster Halbleiterbauelemente (1') auf einem ersten Wafer (7),
 - i) Herstellen einer Vielzahl zweiter Halbleiterbauelemente (2') auf einem zweiten Wafer (8), dabei
 - j) Anbringen einer Metallisierung (11') auf den ersten Halbleiterbauelementen des ersten Wafers (7),
 - k) Anbringen einer Metallisierung (21') auf den zweiten Halbleiterbauelementen des zweiten Wafers (8),
 - l) Ausbildung von Gräben (9) in den ersten und/oder den zweiten Halbleiterbauelementen, danach
 - m) Verbinden der beiden Wafer (7, 8) durch eutektisches Bonden der jeweiligen Metallisierungen (11', 21'), wobei der entstandene Waferverbund eine Vorder- und eine Rückseite aufweist, danach
 - n) Vereinzelnen der Vorderseite des Waferverbunds entsprechend einer ersten Außenkontur der zu vereinzelnden ersten Halbleiterbauelemente, wobei nur der eine Wafer (8) durchtrennt wird, und anschließend

o) Vereinzelnen der Rückseite des Waferverbunds entsprechend einer zweiten Außenkontur der zu vereinzelnden zweiten Halbleiterbauelemente, wobei nur der andere Wafer (7) durchtrennt wird.

5

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß der Waferverbund (7, 8) zwischen den beiden Vereinzelungsschritten gewendet wird.

10

10. Verfahren nach Anspruch 8 oder 9, dadurch gekennzeichnet, daß auf den Wafern Justagemarken angebracht werden.

15

11. Verfahren nach mindestens einem der Ansprüche 8 bis 10, dadurch gekennzeichnet, daß die auf beiden Seiten vereinzelte Endkomponente aus dem Waferverbund gelöst und zur weiteren Verarbeitung einer automatisierten Vorrichtung zugeführt wird.

20

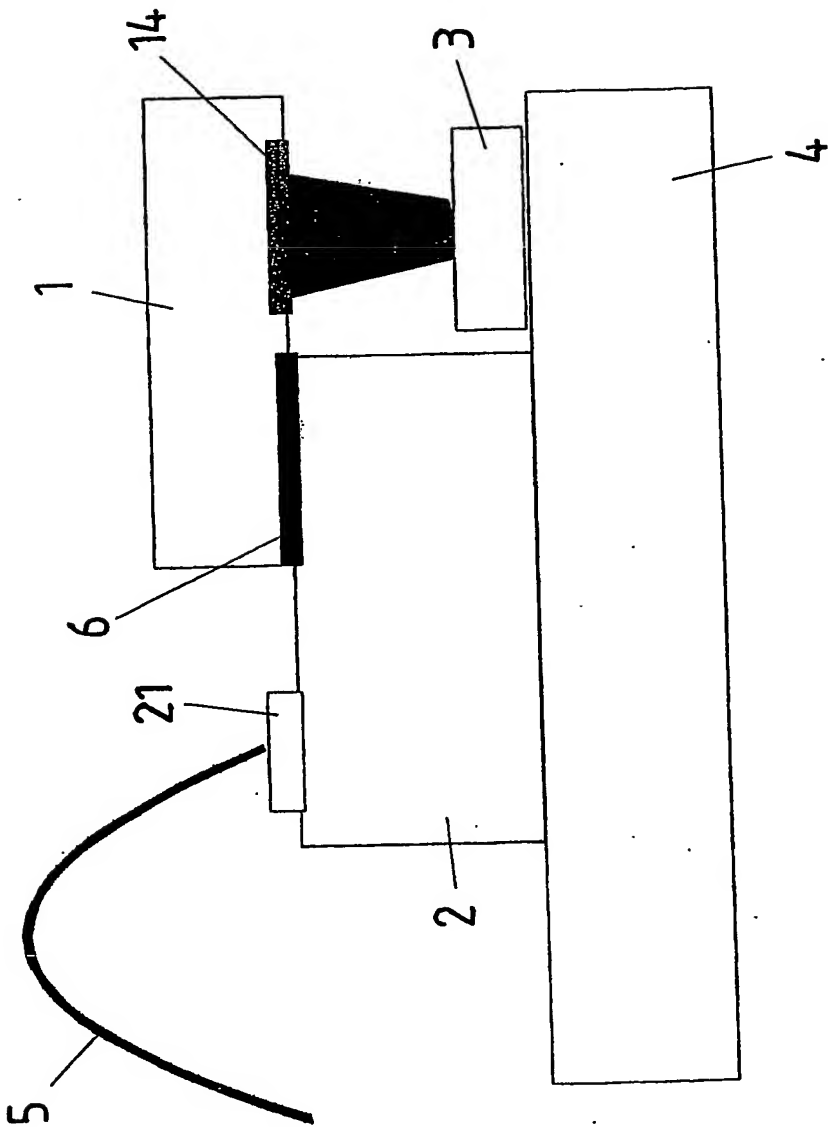
12. Verfahren nach mindestens einem der Ansprüche 8 bis 10, dadurch gekennzeichnet, daß beim eutektischen Bonden der beiden Wafer eine Gold-Metallisierung der einen Halbleiterbauelemente mit einer Gold-Zinn-Metallisierung der anderen Halbleiterbauelemente verbunden wird.

25

13. Verfahren nach mindestens einem der Ansprüche 8 bis 10, dadurch gekennzeichnet, daß das Vereinzeln jeweils durch Sägen erfolgt.

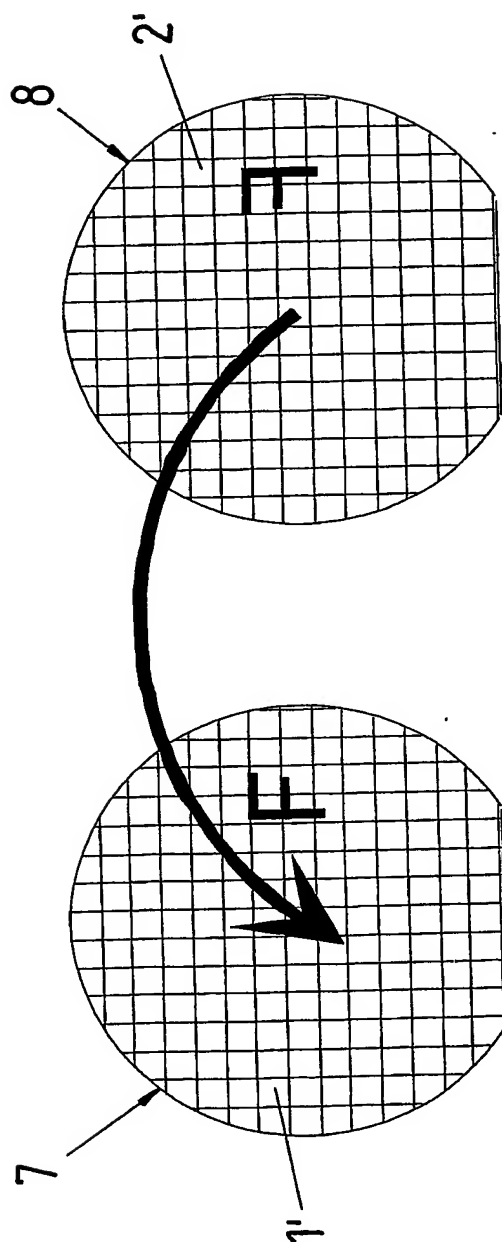
30

Fig.1



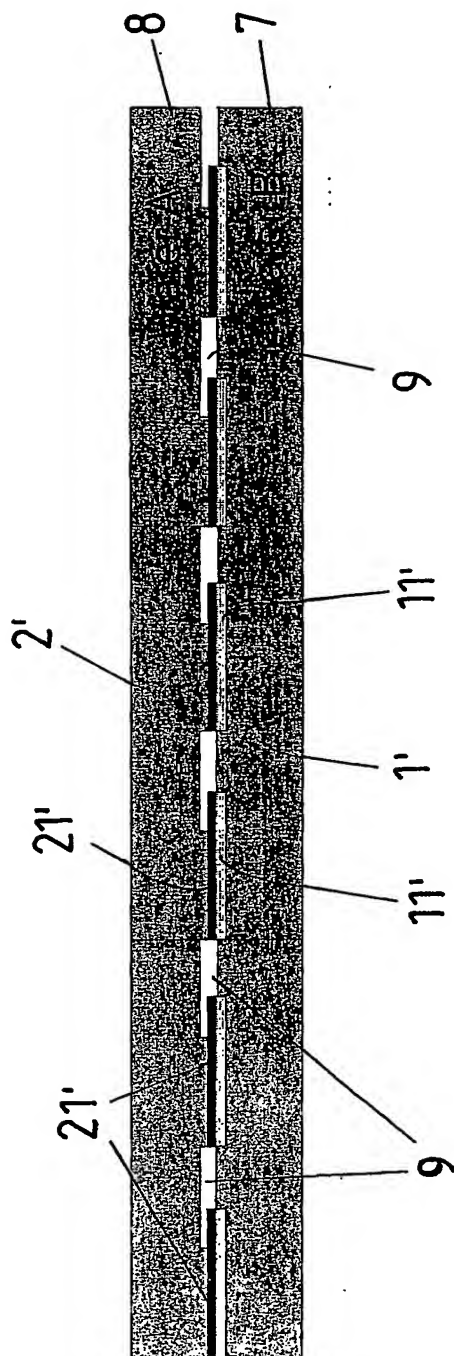
2/7

Fig. 2



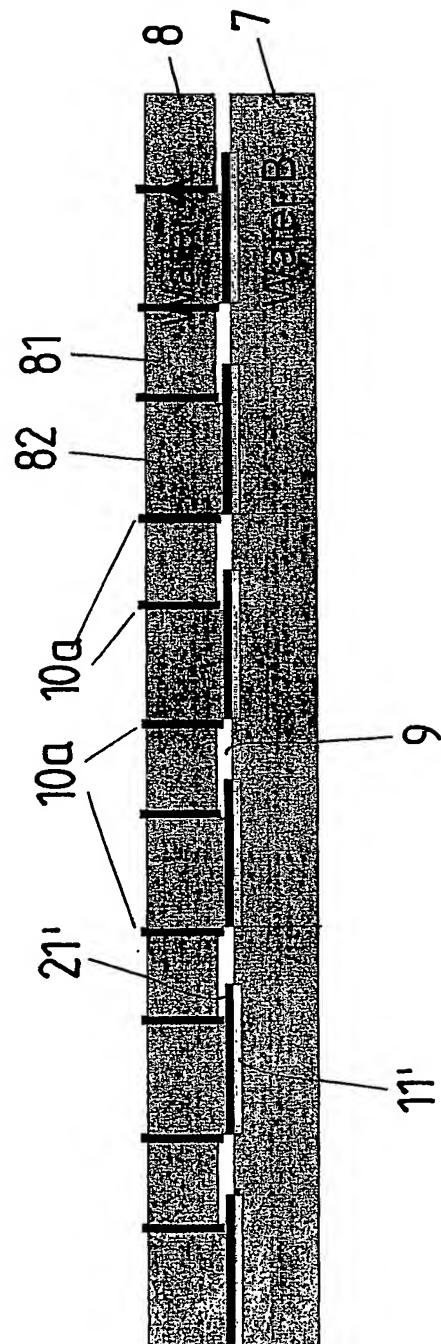
3 / 7

Fig.3



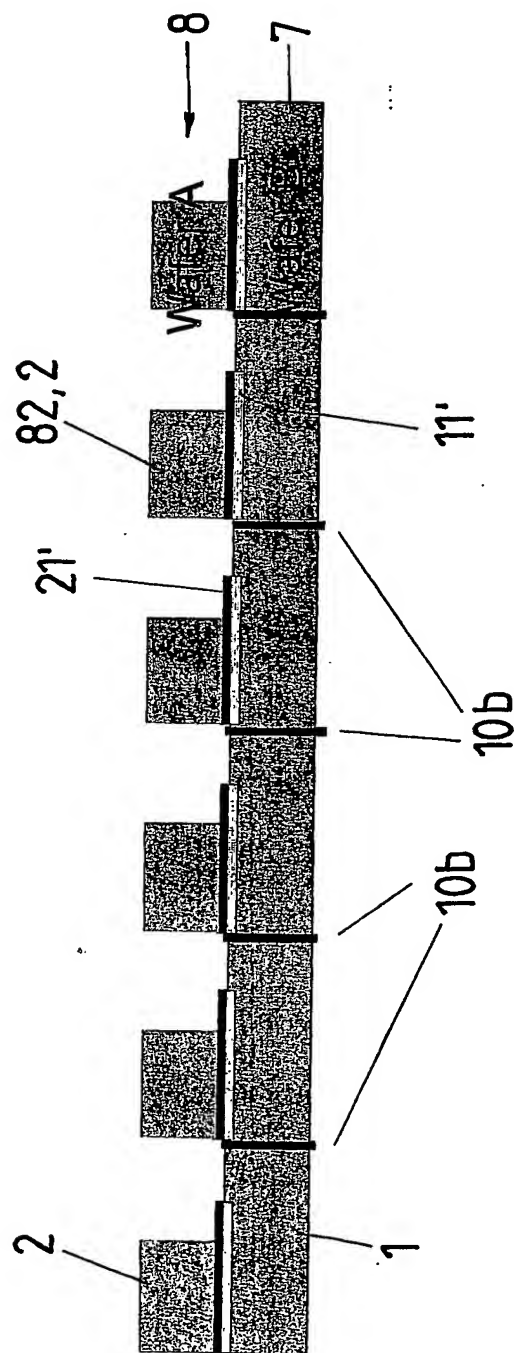
4/7

Fig. 4



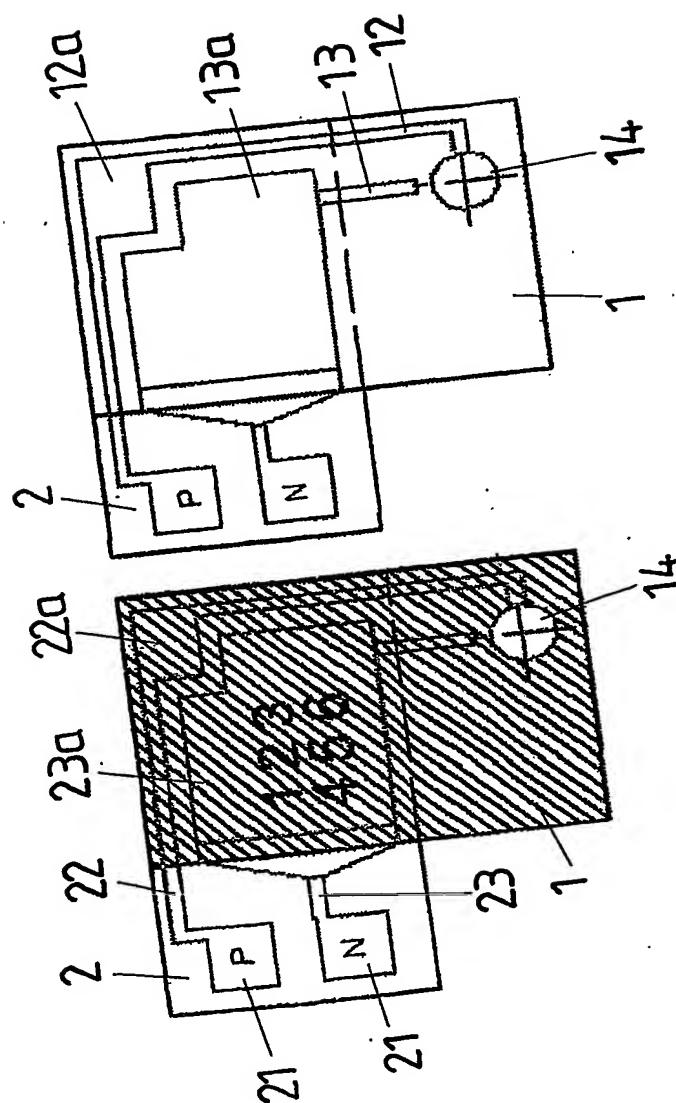
5/7

Fig. 5

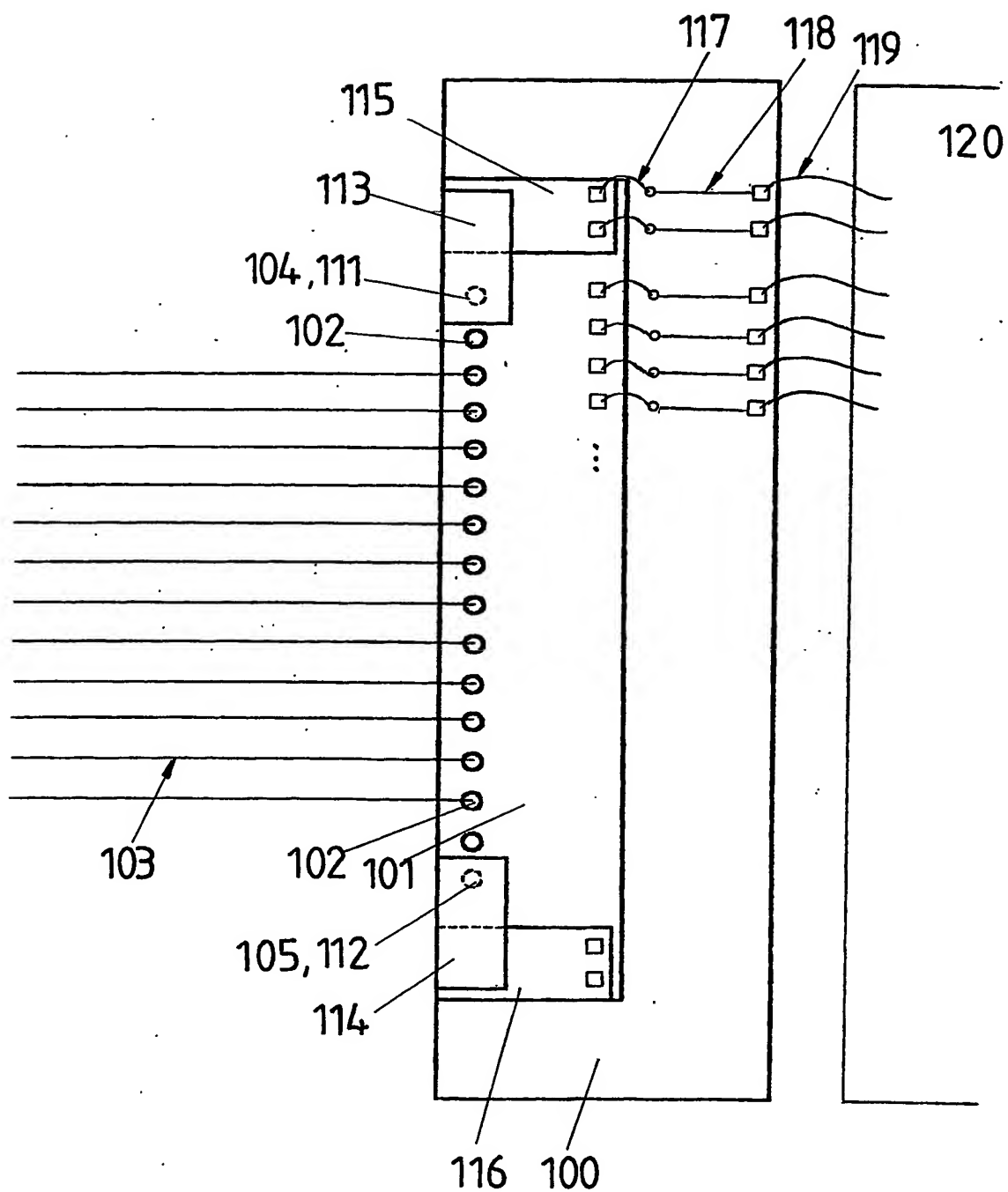


6/7

Fig. 6



7/7



INTERNATIONAL SEARCH REPORT

Inten application No

PC1/UE 02/00067

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 H01L25/16 H01L25/04 H01S5/022

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L H01S

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 660 467 A (SIEMENS AG) 28 June 1995 (1995-06-28) column 3, line 44 -column 5, line 51; figure 1	1-8
Y	---	8-13
Y	DE 196 19 921 A (NIPPON DENSO CO) 5 December 1996 (1996-12-05) column 7, line 29 -column 12, line 46; figures 9-19	8-13
X	US 6 271 049 B1 (AURACHER FRANZ ET AL) 7 August 2001 (2001-08-07) column 4, line 24 - line 29 column 5, line 41 - line 47; figure 1 --- -/-	1-7



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

20 December 2002

Date of mailing of the international search report

03/01/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Authorized officer

Munnix, S

INTERNATIONAL SEARCH REPORT

Inten Application No
PC1/DE 02/00067

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 143 385 A (KURIHARA YASUTOSHI ET AL) 6 March 1979 (1979-03-06) figure 1	1-7
A	EP 0 982 818 A (BOSCH GMBH ROBERT) 1 March 2000 (2000-03-01) figure 3B	1-13

INTERNATIONAL SEARCH REPORT

Information on patent family members

Inten I Application No

PCT 02/00067

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0660467	A	28-06-1995	EP 0660467 A1	28-06-1995
			DE 59305898 D1	24-04-1997
			JP 7202350 A	04-08-1995
			US 5875205 A	23-02-1999
DE 19619921	A	05-12-1996	JP 8316497 A	29-11-1996
			DE 19619921 A1	05-12-1996
			US 5668033 A	16-09-1997
US 6271049	B1	07-08-2001	DE 59902175 D1	05-09-2002
			EP 0987801 A2	22-03-2000
			JP 2000091688 A	31-03-2000
US 4143385	A	06-03-1979	JP 1177418 C	14-11-1983
			JP 53042690 A	18-04-1978
			JP 58002468 B	17-01-1983
			JP 53080990 A	17-07-1978
			DE 2744167 A1	06-04-1978
			NL 7710763 A ,B,	03-04-1978
EP 0982818	A	01-03-2000	DE 19838518 A1	02-03-2000
			EP 0982818 A2	01-03-2000

INTERNATIONALE RESEARCHENBERICHT

Inter Aktenzeichen

PC1/DE 02/00067

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L25/16 H01L25/04 H01S5/022

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RESEARCHIERTE GEBIETE

Researchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L H01S

Researchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die researchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 660 467 A (SIEMENS AG) 28. Juni 1995 (1995-06-28) Spalte 3, Zeile 44 - Spalte 5, Zeile 51; Abbildung 1	1-8
Y	---	8-13
Y	DE 196 19 921 A (NIPPON DENSO CO) 5. Dezember 1996 (1996-12-05) Spalte 7, Zeile 29 - Spalte 12, Zeile 46; Abbildungen 9-19	8-13
X	US 6 271 049 B1 (AURACHER FRANZ ET AL) 7. August 2001 (2001-08-07) Spalte 4, Zeile 24 - Zeile 29 Spalte 5, Zeile 41 - Zeile 47; Abbildung 1 --- -/-	1-7

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

20. Dezember 2002

Absenddatum des internationalen Recherchenberichts

03/01/2003

Name und Postanschrift der internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Munnix, S

INTERNATIONALES FORSCHENBERICHT

Inter Aktenzeichen

PC I/DE 02/00067

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 4 143 385 A (KURIHARA YASUTOSHI ET AL) 6. März 1979 (1979-03-06) Abbildung 1 ---	1-7
A	EP 0 982 818 A (BOSCH GMBH ROBERT) 1. März 2000 (2000-03-01) Abbildung 3B -----	1-13

INTERNATIONALE RESEARCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationale Patentzeichen

PCT/DE 02/00067

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0660467 A	28-06-1995	EP 0660467 A1	28-06-1995
		DE 59305898 D1	24-04-1997
		JP 7202350 A	04-08-1995
		US 5875205 A	23-02-1999
DE 19619921 A	05-12-1996	JP 8316497 A	29-11-1996
		DE 19619921 A1	05-12-1996
		US 5668033 A	16-09-1997
US 6271049 B1	07-08-2001	DE 59902175 D1	05-09-2002
		EP 0987801 A2	22-03-2000
		JP 2000091688 A	31-03-2000
US 4143385 A	06-03-1979	JP 1177418 C	14-11-1983
		JP 53042690 A	18-04-1978
		JP 58002468 B	17-01-1983
		JP 53080990 A	17-07-1978
		DE 2744167 A1	06-04-1978
		NL 7710763 A , B,	03-04-1978
EP 0982818 A	01-03-2000	DE 19838518 A1	02-03-2000
		EP 0982818 A2	01-03-2000

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.